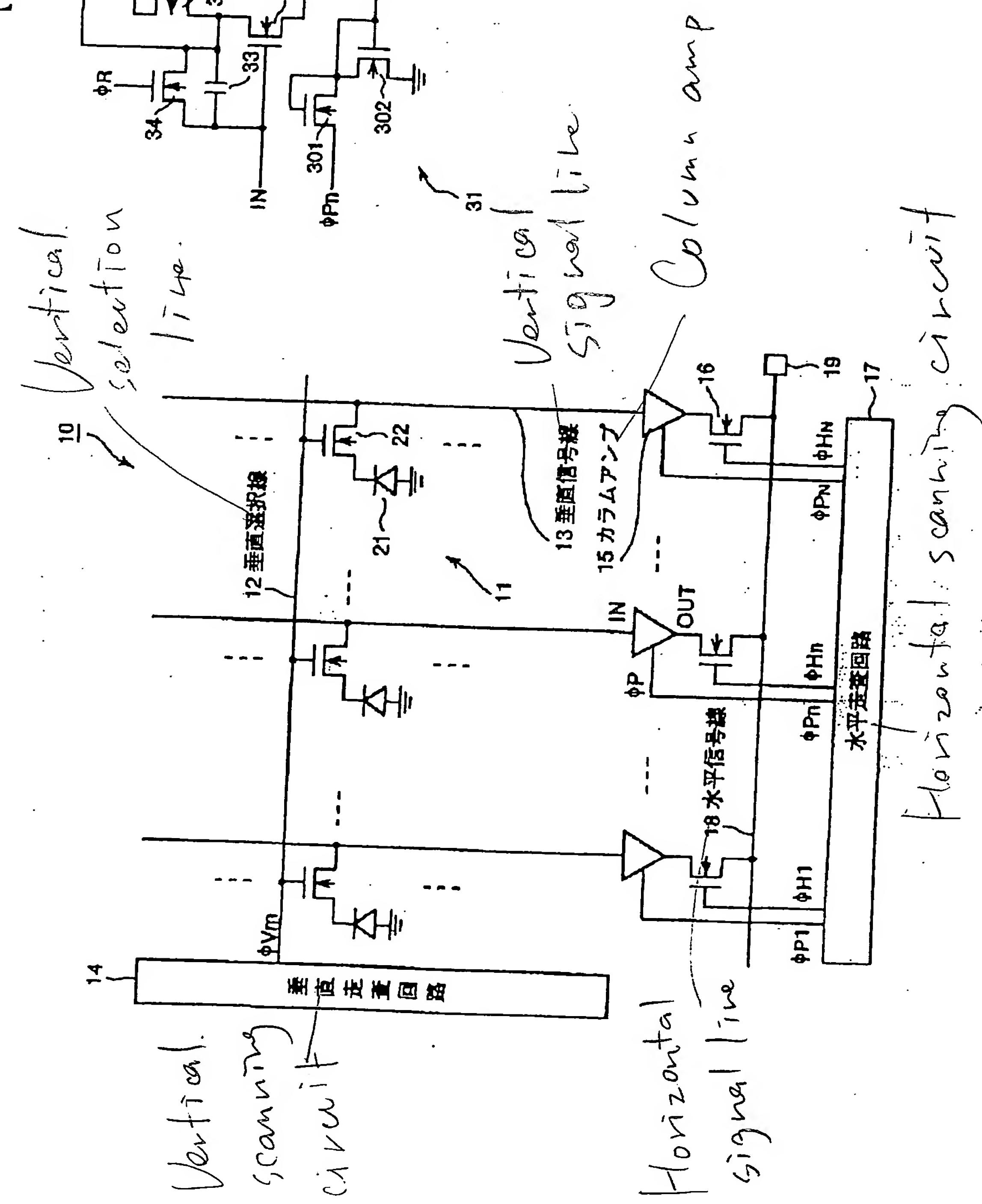
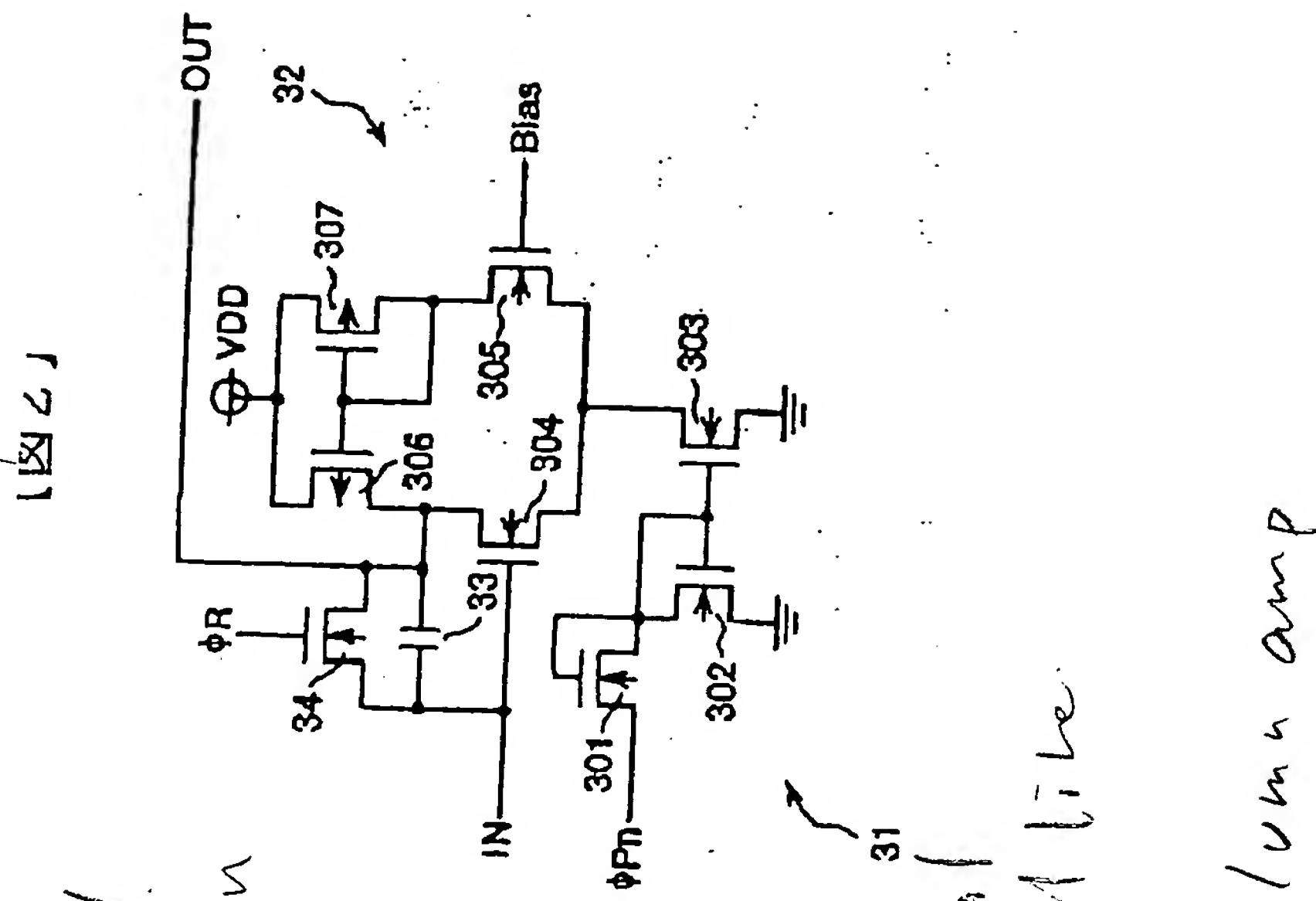


[FIG. 1]



[FIG. 2)



THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-266399

(43)Date of publication of application : 28.09.1999

(51)Int.CI.

H04N 5/335

(21)Application number : 10-067964

(71)Applicant : SONY CORP

(22)Date of filing : 18.03.1998

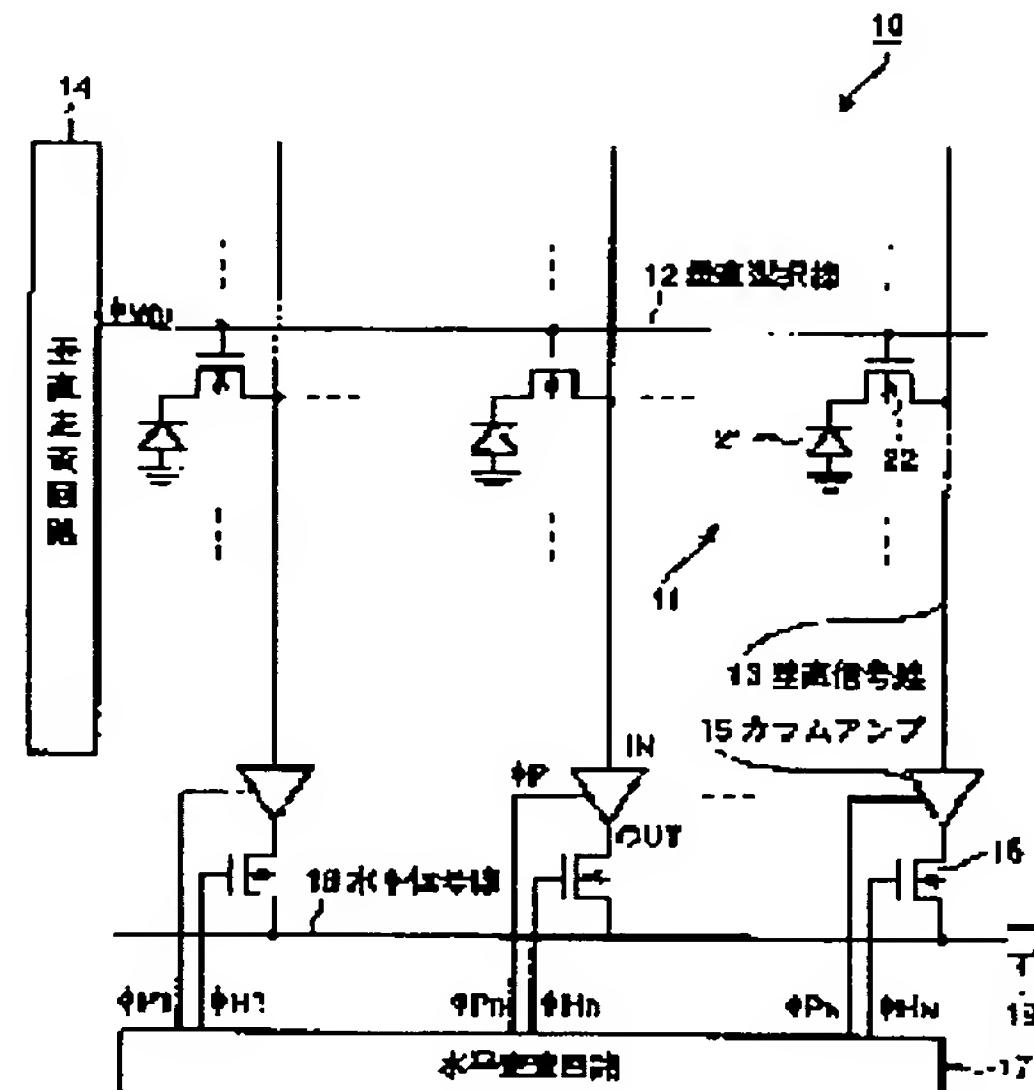
(72)Inventor : YONEMOTO KAZUYA

(54) SOLID-STATE IMAGE PICKUP ELEMENT, ITS DRIVE METHOD AND CAMERA SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state image pickup element whose power consumption is considerably reduced, and to provide its drive method and a camera system.

SOLUTION: In the amplifier type solid-state image pickup element such as a MOS or CMOS image pickup element, a current of a power supply is supplied to a column amplifier 15 of each column connecting to a vertical signal line 13 only when the amplifier 15 makes amplification in response to horizontal scanning to activate the amplifier 15 and column amplifiers 15 of other columns are brought into an idle state so as to avoid undesired power consumption in the column amplifiers 15.



LEGAL STATUS

[Date of request for examination] 14.01.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-266399

(43)公開日 平成11年(1999)9月28日

(51)Int.Cl.⁶

H 04 N 5/335

識別記号

F I

H 04 N 5/335

E

審査請求 未請求 請求項の数17 O.L (全 9 頁)

(21)出願番号 特願平10-67964

(22)出願日 平成10年(1998)3月18日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 米本 和也

東京都品川区北品川6丁目7番35号 ソニー株式会社内

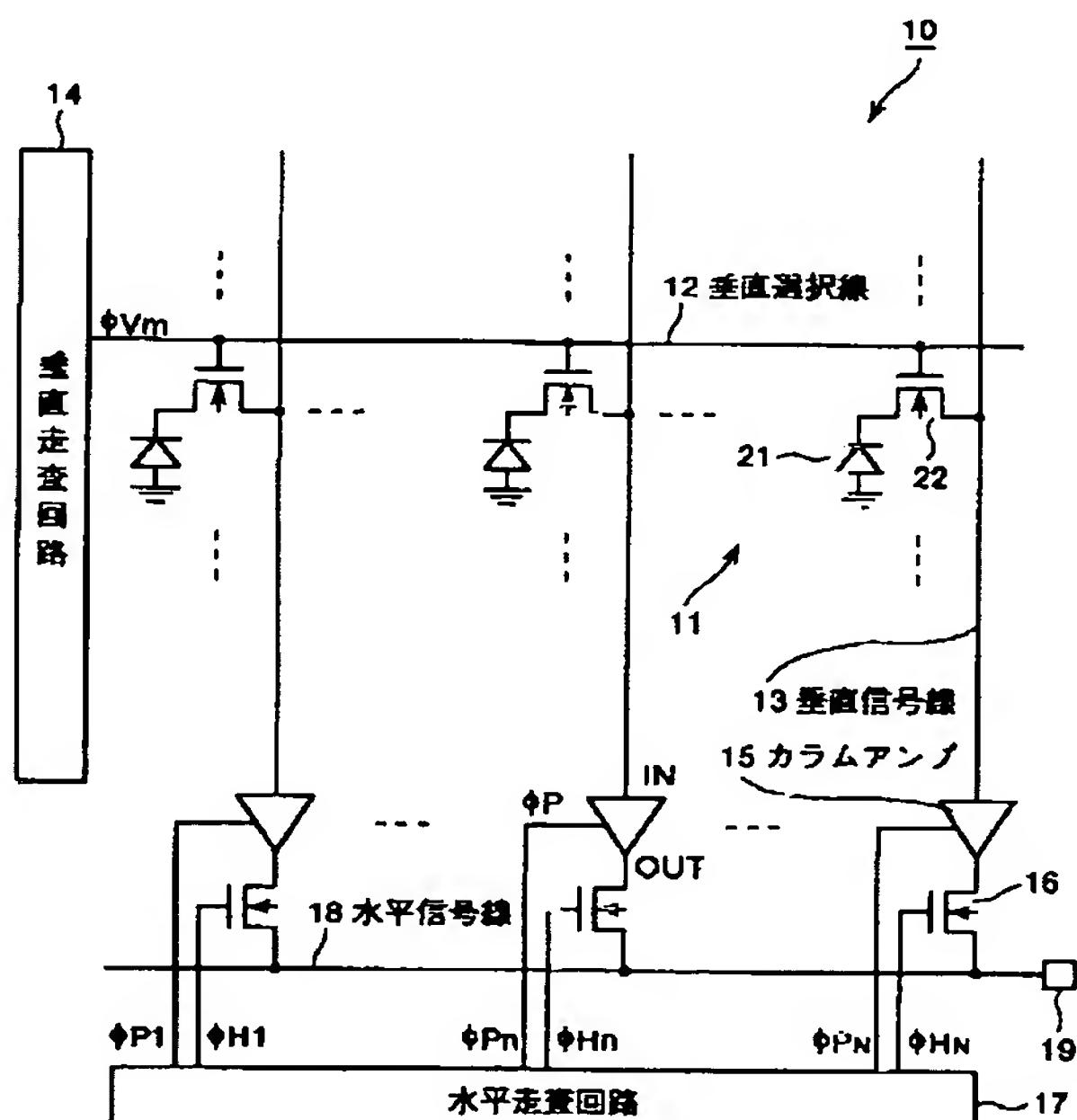
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 固体撮像素子およびその駆動方法、並びにカメラシステム

(57)【要約】

【課題】 ある列の水平走査パルス ϕH が立ち上がってそれに対応した画素の信号が出力されているときでも、それ以外の列のカラムアンプも常時動作状態になつていると、1列の画素数分に相当するカラムアンプで不要に電力が消費され、消費電力が増大する。

【解決手段】 MOS型あるいはCMOS型撮像素子などの増幅型固体撮像素子において、各列ごとに垂直信号線13に接続されたカラムアンプ15が、水平走査に応じて増幅動作を行うときにのみ、その列のカラムアンプ15に電源電流を供給して動作状態にし、別の列のカラムアンプ15は休止状態としてこれらのカラムアンプ15での不要な電力消費をなくす。



【特許請求の範囲】

【請求項1】 行列状に2次元配置された複数の画素と、

前記複数の画素に対して各列ごとに配線され、一列の画素に共通に接続された信号線と、
前記信号線に対して各列ごとに接続され、前記画素から前記信号線に出力される画素信号を増幅するアンプと、
前記アンプがその動作を行うときにのみ前記アンプに対して電源供給を行うべく制御する制御手段とを備えたことを特徴とする固体撮像素子。

【請求項2】 前記制御手段は、前記アンプに対して電源供給の制御を行う制御パルスを与えることを特徴とする請求項1記載の固体撮像素子。

【請求項3】 前記制御手段は、前記アンプに電源供給が行われない休止状態から電源供給が行われる動作状態に移行するタイミングを、前記アンプが信号を出力する期間よりも前に設定することを特徴とする請求項1記載の固体撮像素子。

【請求項4】 前記制御手段は、前記複数の画素に対する水平走査をなす水平走査回路であり、その水平走査に同期して前記制御パルスを発生することを特徴とする請求項2記載の固体撮像素子。

【請求項5】 前記アンプは、ソース結合型の差動増幅器と、前記差動増幅器の動作電流を決める電流源とを有し、前記制御パルスを前記電流源のトランジスタの制御電極の入力とすることを特徴とする請求項2記載の固体撮像素子。

【請求項6】 前記電流源はカレントミラー回路であり、前記制御パルスを前記カレントミラー回路の基準電流が流れる側の端子入力とすることを特徴とする請求項5記載の固体撮像素子。

【請求項7】 前記アンプは、前記電流源のトランジスタの制御電極に与えられる前記制御パルスの振幅を制御する振幅制御回路を有することを特徴とする請求項5記載の固体撮像素子。

【請求項8】 前記振幅制御回路は、前記制御パルスを容量結合により前記電流源のトランジスタの制御電極に与えるキャパシタを有し、その結合容量と前記制御電極の入力容量の比で前記制御パルスの振幅を決めることを特徴とする請求項7記載の固体撮像素子。

【請求項9】 前記電流源のトランジスタの制御電極に接続され、前記制御パルスの低レベルまたは高レベルをクランプするクランプダイオードを有し、

前記クランプダイオードはMOS構造の結合容量の拡散領域とウェル領域で構成されることを特徴とする請求項5記載の固体撮像素子。

【請求項10】 前記アンプは、ソースフォロワと反転増幅器の2段で構成され、前記制御パルスを前記ソースフォロワの負荷トランジスタの制御電極の入力とすることを特徴とする請求項2記載の固体撮像素子。

【請求項11】 前記アンプは、前記負荷トランジスタの制御電極に与えられる前記制御パルスの振幅を制御する振幅制御回路を有することを特徴とする請求項10記載の固体撮像素子。

【請求項12】 前記振幅制御回路は、前記制御パルスを容量結合により前記負荷トランジスタの制御電極に与えるキャパシタを有し、その結合容量と前記制御電極の入力容量の比で前記制御パルスの振幅を決める特徴とする請求項11記載の固体撮像素子。

【請求項13】 前記負荷トランジスタの制御電極に接続され、前記制御パルスの低レベルまたは高レベルをクランプするクランプダイオードを有し、
前記クランプダイオードはMOS構造の結合容量の拡散領域とウェル領域で構成されることを特徴とする請求項10記載の固体撮像素子。

【請求項14】 行列状に2次元配置された複数の画素と、前記複数の画素に対して各列ごとに配線され、一列の画素に共通に接続された信号線と、前記信号線に対して各列ごとに接続され、前記画素から前記信号線に出力される画素信号を増幅するアンプとを備えた固体撮像素子において、

前記アンプがその動作を行うときにのみ前記アンプに対して電源供給を行うことを特徴とする固体撮像素子の駆動方法。

【請求項15】 前記アンプに電源供給が行われない休止状態から電源供給が行われる動作状態に移行するタイミングを、前記アンプが信号を出力する期間よりも前に設定することを特徴とする請求項14記載の固体撮像素子の駆動方法。

【請求項16】 行列状に2次元配置された複数の画素と、

前記複数の画素に対して各列ごとに配線され、一列の画素に共通に接続された信号線と、
前記信号線に対して各列ごとに接続され、前記画素から前記信号線に出力される画素信号を増幅するアンプと、
前記アンプがその動作を行うときにのみ前記アンプに対して電源供給を行うべく制御する制御手段とを備えた固体撮像素子を撮像デバイスとして用いたことを特徴とするカメラシステム。

【請求項17】 前記制御手段は、前記アンプに電源供給が行われない休止状態から電源供給が行われる動作状態に移行するタイミングを、前記アンプが信号を出力する期間よりも前に設定することを特徴とする請求項16記載のカメラシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、固体撮像素子およびその駆動方法、並びにカメラシステムに関し、特に一列の画素に共通に接続された信号線に画素からの信号を出力し、その信号線に接続されたアンプで信号電圧また

は信号電流に変換して出力する構成の増幅型固体撮像素子およびその駆動方法、並びにこれを用いたカメラシステムに関する。

【0002】

【従来の技術】MOS型あるいはCMOS型撮像素子などの増幅型固体撮像素子では、一列の画素に共通に接続された信号線に画素からの信号を出力し、その信号線に接続されたアンプ（以下、カラムアンプと称する）で信号電圧または信号電流に変換して出力する構成となっている。その従来例の構成の一例を図9に示す。

【0003】図9において、従来例に係る撮像素子100は、複数の単位画素101、垂直選択線102、垂直信号線103、垂直走査回路104、カラムアンプ105、水平選択トランジスタ106、水平走査回路107および水平信号線108を有する構成となっている。単位画素101は、フォトダイオード111および垂直選択トランジスタ112からなり、行列状に2次元配置されている。

【0004】この単位画素101において、垂直選択トランジスタ112は、フォトダイオード111と垂直信号線102の間に接続され、その制御電極が垂直選択線103に接続されている。各行の垂直選択線102は、垂直走査回路104の対応する行の垂直走査パルス ϕV （ $\phi V_1, \dots, \phi V_m, \dots, \phi V_M$ ）の出力端に接続されている。

【0005】この垂直選択線102を介して垂直走査回路104から垂直走査パルス ϕV が順次印加されることにより、各画素101が行単位で選択される。各列の垂直信号線103の端にはカラムアンプ105が接続されており、垂直走査パルス ϕV によって選択された画素101から、垂直選択トランジスタ112を介して垂直信号線103に読み出された信号電荷を増幅する。

【0006】水平選択トランジスタ106は、各列ごとにカラムアンプ105と水平信号線108の間に接続されており、水平走査回路107から順に出力される水平走査パルス ϕH （ $\phi H_1, \dots, \phi H_n, \dots, \phi H_N$ ）に応答して順次導通して各列のカラムアンプ105を選択する。これにより、各列のカラムアンプ105で増幅された信号が、水平選択トランジスタ106を介して水平信号線108へ、さらに出力端子109から外部へ出力される。

【0007】次に、上記構成の従来の撮像素子100の基本動作について説明する。先ず、単位画素101の各々において、フォトダイオード111で光電変換された信号電荷（ここでは電子）を、テレビジョンの走査に応じて水平ブランкиング期間中に、垂直走査回路104が発生する垂直走査パルス ϕV により制御された垂直選択トランジスタ112を通して垂直信号線103に読み出す。

【0008】そして、垂直信号線103に接続されたカ

ラムアンプ105により、垂直信号線103に読み出された信号電荷を電圧に変換し、テレビジョンの水平走査に合わせて水平走査回路107が発生する水平走査パルス ϕH により制御された水平選択トランジスタ106を水平映像期間中に順次導通させることで、増幅された映像信号を水平信号線108および出力端子109を通して出力する。

【0009】続いて、図10のタイミングチャートを用いて、さらに具体的な動作について説明する。水平走査期間1Hの最初に位置する水平ブランкиング期間中に、m行目の画素行を選択するために垂直走査パルス ϕV が立ち、m行目の画素の垂直選択トランジスタ112が導通状態になることで、フォトダイオード111から信号電荷が垂直信号線103に読み出される。そして、この読み出された信号電荷を、垂直信号線103の端に接続されたカラムアンプ105により増幅し、保持する。

【0010】この水平走査期間1Hで水平ブランкиング期間が完了し、水平映像期間では水平走査パルス ϕH （ $\phi H_1, \dots, \phi H_n, \dots, \phi H_N$ ）が順次立ち上がり、それらにより制御された水平選択トランジスタ106が順次導通することにより、カラムアンプ105に保持されていた信号が水平選択トランジスタ106および水平信号線108を介して出力端子109から映像信号として出力される。

【0011】

【発明が解決しようとする課題】上述した従来の撮像素子100では、ある列（n列）の水平走査パルス ϕH_n が立ち上がってそれに対応した画素の信号が出力されているときでも、それ以外の列のカラムアンプ105も常時動作状態になっているため、1列の画素数分に相当するカラムアンプ105で不要に電力が消費され、消費電力が増大するという問題があった。

【0012】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、消費電力の大幅な低減を可能とした固体撮像素子およびその駆動方法、並びにカメラシステムを提供することにある。

【0013】

【課題を解決するための手段】本発明による固体撮像素子は、行列状に2次元配置された複数の画素と、これら複数の画素に対して各列ごとに配線され、一列の画素に共通に接続された信号線と、この信号線に対して各列ごとに接続され、画素から信号線に出力される画素信号を増幅するアンプと、このアンプがその動作を行うときのみ当該アンプに対して電源供給を行うべく制御する制御手段とを備えた構成となっている。

【0014】上記構成の固体撮像素子において、各画素から信号線へ行単位で出力された画素信号は、水平走査によって各列ごとに順次アンプで増幅される。このとき、制御手段による制御によって、水平走査に応じて増幅動作を行う列のアンプにのみ電源供給が行われる。し

たがって、ある列のアンプのみ動作状態となっているときには、別の列のアンプに対する電源供給は停止され、休止状態となるため、増幅動作を行う必要のない列のアンプで不要な電力を消費しなくて済む。

【0015】また、本発明による駆動方法は、行列状に2次元配置された複数の画素と、これら複数の画素に対して各列ごとに配線され、一列の画素に共通に接続された信号線と、この信号線に対して各列ごとに接続され、画素から信号線に出力される画素信号を増幅するアンプとを備えた固体撮像素子において、各列のアンプがその動作を行うときにのみ当該アンプに対して電源供給を行うようにする。

【0016】また、本発明によるカメラシステムは、上記構成の固体撮像素子を撮像デバイスとして用いた構成となっている。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態を示す概略構成図である。図1において、本実施形態に係る撮像素子10は、単位画素11、垂直選択線12、垂直信号線13、垂直走査回路14、カラムアンプ15、水平選択トランジスタ16、水平走査回路17および水平信号線18を有する構成となっている。

【0018】この撮像素子10において、単位画素11は、光電変換素子であるフォトダイオード21と垂直選択トランジスタ22とからなり、行列状(M行N列)に2次元配置されて撮像領域を構成している。これら単位画素11において、垂直選択トランジスタ22は、フォトダイオード21と垂直信号線13の間に接続され、その制御電極(ゲート電極)が垂直選択線12に接続されている。

【0019】垂直走査回路14は、例えばシフトレジスタによって構成され、垂直走査のための垂直走査パルス ϕV ($\phi V_1, \dots, \phi V_m, \dots, \phi V_M$)を順次出力する。垂直選択線12は各行ごとに配線されており、これら各行の垂直選択線12は、垂直走査回路14の対応する行の垂直走査パルス ϕV ($\phi V_1, \dots, \phi V_m, \dots, \phi V_M$)の出力端に接続されている。そして、この垂直選択線12を介して垂直走査回路14から垂直走査パルス ϕV が順次印加されることにより、各単位画素11が行単位で選択される。

【0020】垂直信号線13は各列ごとに配線されており、これら各列の垂直信号線13の端にはカラムアンプ15が接続されている。このカラムアンプ15は、垂直走査パルス ϕV によって選択された単位画素11の各々において、フォトダイオード21から垂直選択トランジスタ22を介して垂直信号線13に読み出された信号電荷を増幅する。

【0021】水平選択トランジスタ16は、各列ごとにカラムアンプ15の出力端と水平信号線18の間に接続

されている。水平走査回路17は、例えばシフトレジスタによって構成され、水平走査のための水平走査パルス ϕH ($\phi H_1, \dots, \phi H_n, \dots, \phi H_N$)を順次出力する。

【0022】この水平走査回路17から出力される水平走査パルス ϕH が水平選択トランジスタ16のゲート電極に印加されることにより、水平選択トランジスタ16が順次導通して各列のカラムアンプ15を選択する。これにより、各列のカラムアンプ15で増幅された信号が、水平選択トランジスタ16を介して水平信号線18へ、さらに出力端子19から外部へ出力される。

【0023】水平走査回路17は、水平走査パルス ϕH の他に、この水平走査パルス ϕH に同期して電源制御パルス ϕP ($\phi P_1, \dots, \phi P_n, \dots, \phi P_N$)を順次出力する。この電源制御パルス ϕP は、カラムアンプ15の電源電流を制御するためのものである。一方、カラムアンプ15は、水平走査回路17から出力される電源制御パルス ϕP を取り込むための電源制御端子を備えている。

【0024】ここで、上記構成の撮像素子10の基本動作について説明する。先ず、単位画素11の各々において、フォトダイオード21で光電変換された信号電荷(ここでは電子)を、テレビジョンの走査に応じて水平ブランкиング期間中に、垂直走査回路14が発生する垂直走査パルス ϕV により制御された垂直選択トランジスタ22を通して垂直信号線13に読み出す。

【0025】そして、垂直信号線13に接続されたカラムアンプ15により、垂直信号線13に読み出された信号電荷を電圧に変換し、テレビジョンの水平走査に合わせて水平走査回路17が発生する水平走査パルス ϕH により制御された水平選択トランジスタ16を水平映像期間中に順次導通させることで、増幅された映像信号を水平信号線18および出力端子19を通して出力する。

【0026】このとき、カラムアンプ15には、水平走査回路17から水平走査パルス ϕH に同期した電源制御パルス ϕP がその電源制御端子に印加される。これにより、水平走査パルス ϕH が立っている(発生している)列の信号が出力されているときに、その列のカラムアンプ15が動作状態に入るようになっている。これに対し、信号出力に寄与しない別の列のカラムアンプ15は、電源制御パルス ϕP が印加されないので休止状態にある。

【0027】上述したように、MOS型あるいはCMOS型撮像素子などの増幅型固体撮像素子において、各列ごとに垂直信号線13に接続されたカラムアンプ15が、水平走査に応じて増幅動作を行うときにのみ、その列のカラムアンプ15に電源電流を供給して動作状態にするようにしたことにより、別の列のカラムアンプ15は休止状態となるため、これらのカラムアンプ15での不要な電力消費がなくなる。

【0028】図2は、電源制御端子を持つカラムアンプの回路構成の第1具体例を示す回路図である。この第1具体例に係るカラムアンプは、カレントミラー回路31、ソース結合型の差動増幅器32、検出容量33およびリセットトランジスタ34を有する構成となっている。

【0029】カレントミラー回路31は、電源制御端子となる一方の主電極に電源制御パルス ϕP_n が印加されるトランジスタ301と、このトランジスタ301の他方の主電極とグランドの間に接続されたダイオード接続のトランジスタ302と、このトランジスタ302と制御電極が共通に接続され、一方の主電極が接地されたトランジスタ303とによって構成されている。

【0030】ソース結合型の差動増幅器32は、上記トランジスタ303と、このトランジスタ303の他方の主電極に各一方の主電極が共通に接続されて差動動作をなすトランジスタ304、305と、トランジスタ304の他方の主電極と電源VDDの間に接続されたトランジスタ306と、このトランジスタ306と制御電極が共通に接続され、トランジスタ305と電源VDDの間に接続されたダイオード接続のトランジスタ307とから構成されている。

【0031】この差動増幅器32において、トランジスタ304の制御電極が差動増幅器32の反転入力端となり、入力INが印加される。また、トランジスタ305の制御電極が差動増幅器32の非反転入力端となり、所定のバイアスが印加される。そして、トランジスタ304の他方の主電極が差動増幅器32の出力端となり、この出力端から出力OUTが導出されるようになっている。

【0032】検出容量33は、電荷検出アンプとして動作するためのものであり、差動増幅器32の出力端であるトランジスタ304の他方の主電極と、反転入力端であるトランジスタ304の制御電極の間に接続されている。また、リセットトランジスタ34は、検出容量33に対して並列に接続され、制御電極に印加されるリセットパルス ϕR に応答して検出容量33をリセットする。

【0033】この種のアンプにおいては、通常の場合、カレントミラー回路31のトランジスタ301の主電極が電源VDDに接続されることにより、常に一定の電流が差動増幅器32に流れようになっている。これに対し、この第1具体例に係るカラムアンプの場合には、トランジスタ301の主電極が電源制御端子となり、このトランジスタ301の主電極に電源制御パルス ϕP_n が入力されるようになっている。

【0034】このように、カレントミラー回路31は、電源制御パルス ϕP_n をトランジスタ301の主電極の入力とすることにより、カラムアンプの電源電流値を制御するとともに、カラムアンプの動作状態と休止状態を切り替える動作も兼ねることになる。

【0035】以下に、その具体的な動作について説明する。先ず、電源制御パルス ϕP_n が低レベル（接地レベル=0V）のときは、カレントミラー回路31のトランジスタ301、302には電流が流れないので、差動増幅器32にも必然的に電源電流は流れない。したがって、カラムアンプは休止状態となる。

【0036】一方、電源制御パルス ϕP_n が高レベル（電源レベル=VDD）のときは、トランジスタ301の抵抗で規定される電流が、トランジスタ301を通してトランジスタ302に流れ、その電流に対してトランジスタ302とトランジスタ303の相互コンダクタンスや閾値電圧などから計算される比例係数が掛かった電流がトランジスタ303に流れ。この電流がカラムアンプの動作状態における電源電流となる。

【0037】次に、図1の構成の撮像素子10において、カラムアンプ15として上記構成のカラムアンプを用いた場合の動作について、図3のタイミングチャートを用いて説明する。

【0038】水平走査パルス ϕH （ $\phi H_1, \dots, \phi H_n, \dots, \phi H_N$ ）に対して電源制御パルス ϕP （ $\phi P_1, \dots, \phi P_n, \dots, \phi P_N$ ）は各列ごとに同期している。具体的には、あるn列の水平走査パルス ϕH_n の立ち上がりに対して電源制御パルス ϕP_n の立ち上がりは1列分早くなっている。これによりカラムアンプ15が休止状態から動作状態に移行するのに必要な時間を確保している。

【0039】つまり、カラムアンプ15が休止状態から動作状態に遷移するのに多くの時間がかかる場合に、予めn列目の信号が出力される期間よりも前にn列目のカラムアンプ15を動作状態にしておくことがその目的である。これにより、カラムアンプ15が信号を出力する時点では、当該カラムアンプ15を適正な動作状態にすることができる。勿論、カラムアンプ15の休止状態から動作状態への遷移期間が無視できるほど短ければ、電源制御パルス ϕP_n は水平走査パルス ϕH_n と同じタイミングでも構わない。

【0040】また、このカラムアンプ15の電力制御には直接関係はないが、図2のリセットトランジスタ34の制御電極に印加されるリセットパルス ϕR は、水平走査パルス ϕH に同期して、それぞれのパルス $\phi H_1, \dots, \phi H_n, \dots, \phi H_N$ が立ち上がっている期間の中頃に立ち上がり、検出容量33、垂直信号線13およびフォトダイオード21をリセットする役目を持っている。

【0041】図4は、電源制御端子を持つカラムアンプの回路構成の第2具体例を示す回路図である。この第2具体例に係るカラムアンプも、第1具体例に係るカラムアンプの場合と同様に、カレントミラー回路41、ソース結合型の差動増幅器42、検出容量43およびリセットトランジスタ44を有する構成となっているが、カレントミラー回路41の具体的な回路構成において第1具

体例の場合と異なっている。

【0042】すなわち、カレントミラー回路41は、電源制御端子となる一端に電源制御パルス ϕP_n が印加されるキャパシタ401と、このキャパシタ401の他端とグランドの間に接続されたクランプダイオード402と、キャパシタ401の他端に制御電極が接続され、一方の主電極が接地されたトランジスタ403とによって構成されている。

【0043】ソース結合型の差動増幅器42は、上記トランジスタ403と、このトランジスタ403の他方の主電極に各一方の主電極が共通に接続されて差動動作をなすトランジスタ404、405と、トランジスタ404の他方の主電極と電源VDDの間に接続されたトランジスタ406と、このトランジスタ406と制御電極が共通に接続され、トランジスタ405と電源VDDの間に接続されたダイオード接続のトランジスタ407とから構成されている。

【0044】この差動増幅器42において、トランジスタ404の制御電極が差動増幅器42の反転入力端となり、入力INが印加される。また、トランジスタ405の制御電極が差動増幅器42の非反転入力端となり、所定のバイアスが印加される。そして、トランジスタ404の他方の主電極が差動増幅器42の出力端となり、この出力端から出力OUTが導出されるようになっている。

【0045】検出容量43は、電荷検出アンプとして動作するためのものであり、差動増幅器42の出力端であるトランジスタ404の他方の主電極と、反転入力端であるトランジスタ404の制御電極の間に接続されている。また、リセットトランジスタ44は、検出容量43に対して並列に接続され、制御電極に印加されるリセットパルス ϕR に応答して検出容量43をリセットする。

【0046】次に、上記構成の第2具体例に係るカラムアンプの具体的な動作について説明する。電源制御パルス ϕP_n が低レベル（接地レベル=0V）に変化した後は、カレントミラー回路41において、キャパシタ401で容量結合されているクランプダイオード402に接地側から少しずつ電流が流れ込み、結果的にトランジスタ403の制御電極は接地レベルにクランプされる。

【0047】一方、電源制御パルス ϕP_n が高レベル（電源レベル=VDD）に変化したときは、電源制御パルス ϕP_n がキャパシタ401の容量結合によりクランプダイオード402にかかる。そのとき、キャパシタ401とトランジスタ403の入力容量の比率によって電源制御パルス ϕP_n の振幅が容量分割される。これにより、トランジスタ403の制御電極に適正な電圧をかけることができるため、カラムアンプに設計値通りの電流が流れる。

【0048】この第2具体例に係るカラムアンプを図1のカラムアンプ15として用いるときの駆動タイミング

は、図3に示した第1具体例の場合の駆動タイミングと同じである。すなわち、電源制御パルス ϕP は水平走査パルス ϕH に先んじて立ち上がり、カラムアンプが休止状態から動作状態に移行するのに必要な時間を確保するようとする。

【0049】図5は、第2具体例におけるキャパシタ401およびクランプダイオード402の構成の一例を示す断面構造図である。この構造例では、キャパシタ401とクランプダイオード402が一体になっているため、素子面積を小さく構成できるという特徴がある。その結果、撮像素子のサイズを小さくすることができるこになる。

【0050】具体的には、MOSトランジスタの制御電極に使われ、一般的にポリシリコンで形成される電極51と、そのゲート酸化膜として使われるSiO₂などの絶縁膜52と、その主電極として使われるソースドレイン拡散領域53と、その基板55との分離のためのウェル領域55とにより形成されている。

【0051】この素子構造において、電極51と絶縁膜52と拡散領域53によってキャパシタ401が構成され、拡散領域53とウェル領域55によってクランプダイオード402が構成されている。そして、電極51に電源制御パルス ϕP_n が印加され、拡散領域53がキャパシタ401とクランプダイオード402の接続点になってトランジスタ403の制御電極に接続され、ウェル領域55はクランプ電位が与えられるように接地されている。

【0052】図6は、電源制御端子を持つカラムアンプの回路構成の第3具体例を示す回路図である。この第3具体例に係るカラムアンプは、反転増幅回路61、検出容量62およびリセットトランジスタ63を有する構成となっている。反転増幅回路61は、初段のソースフォロワ64と、その後段の反転増幅器65とから構成されている。

【0053】ソースフォロワ64は、電源VDDとグランドの間に直列に接続されたドライブトランジスタ601および負荷トランジスタ602からなり、ドライブトランジスタ601の制御電極に入力INが印加され、負荷トランジスタ602の制御電極の電源制御パルス ϕP_n が印加される。反転増幅器65は、電源VDDとグランドの間に直列に接続され、かつ各制御電極がソースフォロワ64の出力端に共通に接続されたトランジスタ603、604からなるCMOSインバータ構成となっている。

【0054】検出容量62は、電荷検出アンプとして動作するためのものであり、反転増幅回路61の入力端である初段ソースフォロワ64のドライブトランジスタ601の制御電極と、その出力端である反転増幅器65のトランジスタ603、604のドレイン共通接続点の間に接続されている。また、リセットトランジスタ63

は、検出容量62に対して並列に接続され、制御電極に印加されるリセットパルス ϕR に応答して検出容量62をリセットする。

【0055】次に、上記構成の第3具体例に係るカラムアンプの具体的な動作について説明する。電源制御パルス ϕP_n が低レベル（接地レベル=0V）のときは、初段のソースフォロワ64の負荷トランジスタ602が非導通状態となるため、初段のソースフォロワ64には電流が流れない。また、そのときの初段のソースフォロワ64の出力端（ドライブトランジスタ601のソース電極）の電位は、負荷トランジスタ602が非導通状態にあることから、電源電圧VDDと接地電位の中間電圧よりも高くなるため、次段の反転増幅器65も出力電圧が接地レベルになって電流が流れない。

【0056】一方、電源制御パルス ϕP_n が高レベル（電源レベル=VDD）のときは、初段のソースフォロワ64の負荷トランジスタ602は抵抗として動作するとともに、次段の反転増幅器65および検出容量62との組合せにおいて電荷検出アンプとしても動作する。勿論このときは、ソースフォロワ64および反転増幅器65には適正な電源電流が流れる。

【0057】この第3具体例に係るカラムアンプを図1のカラムアンプ15として用いるときの駆動タイミングは、図3に示した第1具体例の場合の駆動タイミングと同じである。すなわち、電源制御パルス ϕP は水平走査パルス ϕH に先んじて立ち上がり、カラムアンプが休止状態から動作状態に移行するのに必要な時間を確保するようとする。

【0058】図7は、電源制御端子を持つカラムアンプの回路構成の第4具体例を示す回路図である。この第4具体例に係るカラムアンプは、第3具体例の変形例であり、反転増幅回路61、検出容量62およびリセットトランジスタ63に加え、電源制御パルス ϕP_n に対して振幅制御を行う振幅制御回路66を有する構成となっている。

【0059】振幅制御回路66は、電源制御端子となる一端に電源制御パルス ϕP_n が印加されるキャパシタ605と、このキャパシタ605の他端とグランドの間に接続されたクランプダイオード606とから構成されており、初段のソースフォロワ64の負荷トランジスタ602の制御電極に印加される電圧が電源電圧VDDでは高すぎて適正な動作が期待できない場合に有用な回路である。

【0060】すなわち、電源制御パルス ϕP_n が高レベル（電源レベル=VDD）に変化したとき、電源制御パルス ϕP_n がキャパシタ605の容量結合によりクランプダイオード606にかかる。そのとき、キャパシタ605と初段のソースフォロワ64の負荷トランジスタ602の入力容量の比率によって電源制御パルス ϕP_n の振幅が容量分割される。これにより、トランジスタ60

2の制御電極に適正な電圧をかけることができるため、カラムアンプに設計値通りの電流が流れる。なお、カラムアンプとしての動作は、第3具体例のカラムアンプと同じである。

【0061】図8は、本発明が適用されるカメラシステムの一例を示す概略構成図である。本例のカメラシステムは、MOS型あるいはCMOS型撮像素子などの固体撮像素子71と、この固体撮像素子71の撮像面上に被写体（図示せず）からの像光を結像させるレンズ72と、固体撮像素子71から出力される映像信号に対して種々の信号処理を行う信号処理回路73とを有する構成となっている。

【0062】そして、上記構成のカメラシステムにおいて、固体撮像素子71として、図1に示した構成の撮像素子10、即ち垂直信号線13に出力された信号電荷を増幅するカラムアンプ15を、それが動作するとき以外は電源電流をカットするようにした構成の撮像素子10を用いる。また、カラムアンプ15としては、第1乃至第4具体例の構成のものを用いる。

【0063】

【発明の効果】以上説明したように、本発明によれば、MOS型あるいはCMOS型撮像素子などの固体撮像素子およびこれを撮像デバイスとして用いたカメラシステムにおいて、各画素から行単位で信号が出力される信号線に各列ごとに接続されてその信号を増幅するアンプが、水平走査に応じて増幅動作を行うときにのみ、その列のアンプに電源供給をなして動作状態にするようにしたことにより、別の列のアンプは休止状態となり、これらのアンプでの不要な電力消費がなくなるため、消費電力を大幅に低減できることになる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示す概略構成図である。

【図2】カラムアンプの第1具体例を示す回路図である。

【図3】本実施形態に係る動作説明のためのタイミングチャートである。

【図4】カラムアンプの第2具体例を示す回路図である。

【図5】第2具体例におけるキャパシタおよびクランプダイオードの構成の一例を示す断面構造図である。

【図6】カラムアンプの第3具体例を示す回路図である。

【図7】カラムアンプの第4具体例を示す回路図である。

【図8】本発明が適用されるカメラシステムの一例を示す概略構成図である。

【図9】従来例を示す概略構成図である。

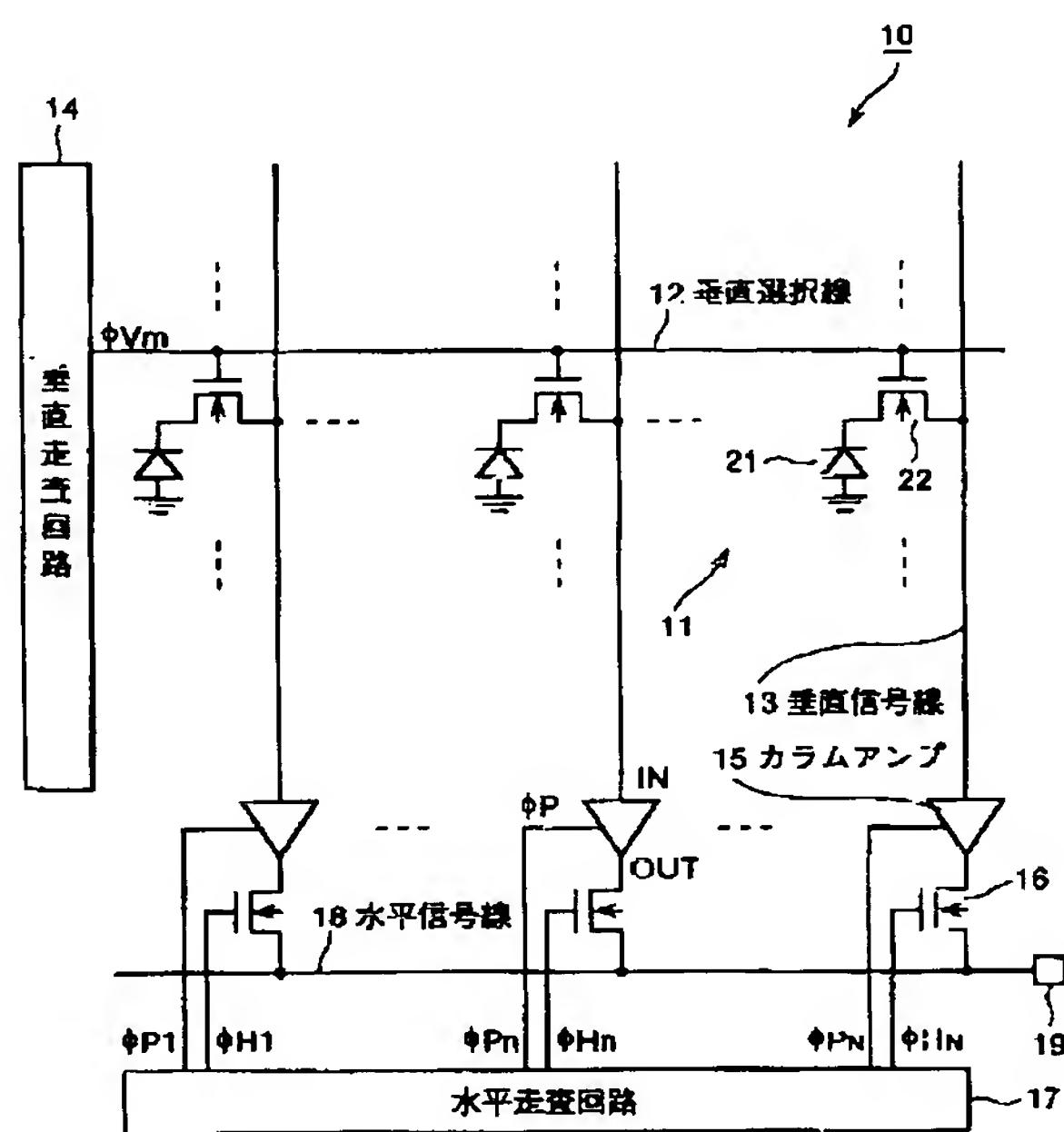
【図10】従来例の動作説明のためのタイミングチャートである。

【符号の説明】

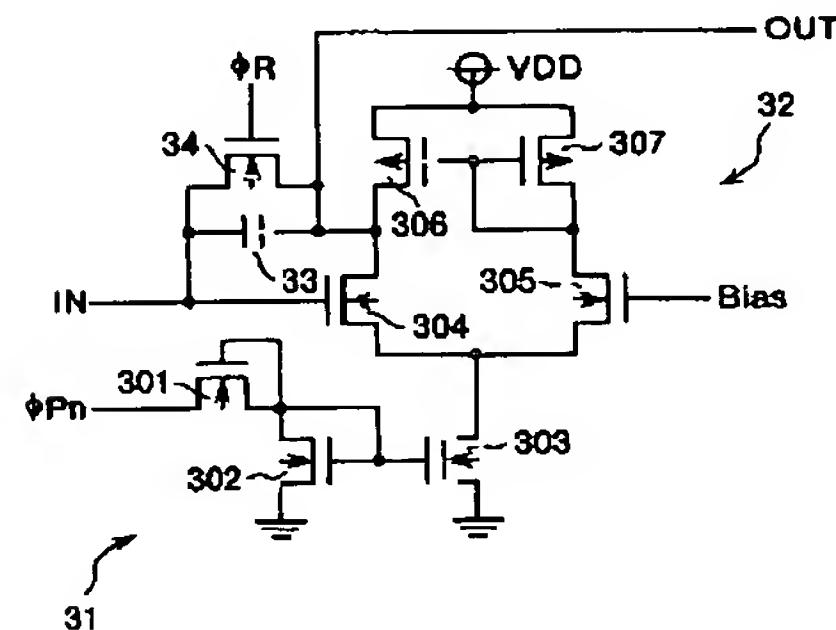
10…撮像素子、11…単位画素、12…垂直選択線、
13…垂直信号線、14…垂直走査回路、15…カラム
アンプ、16…水平選択トランジスタ、17…水平走査
回路、18…水平信号線、21…フォトダイオード、2
2…垂直選択トランジスタ、31, 41…カレントミラ
ー回路、32, 42…差動増幅器、33, 43, 62…

検出容量、34, 44, 63…リセットトランジスタ、
61…反転増幅回路、64…ソースフォロワ、65…反
転増幅器（インバータ）、66…振幅制御回路、40
1, 605…キャパシタ、402, 606…クランプダ
イオード、601…ドライブトランジスタ、602…負
荷トランジスタ

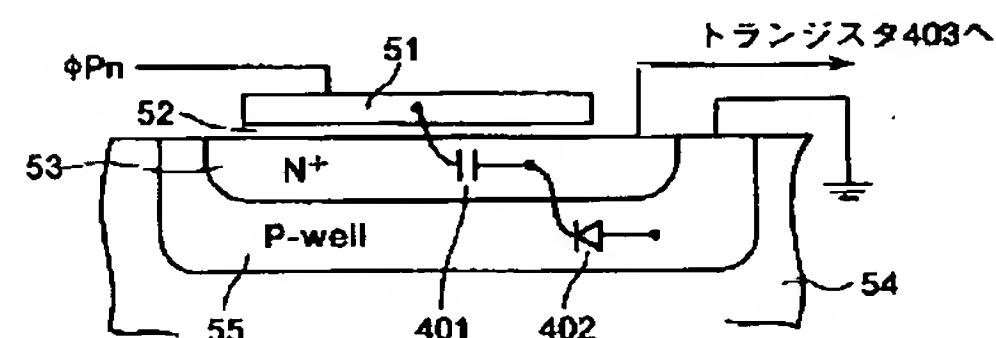
【図1】



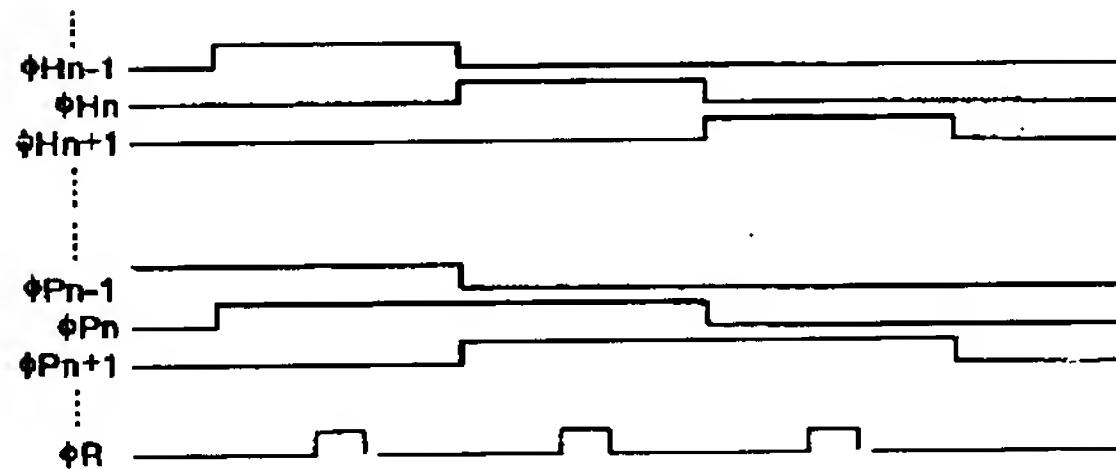
【図2】



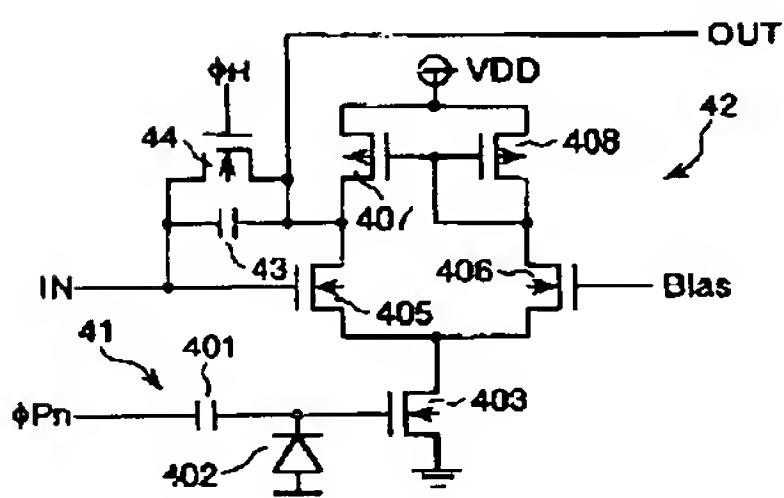
【図5】



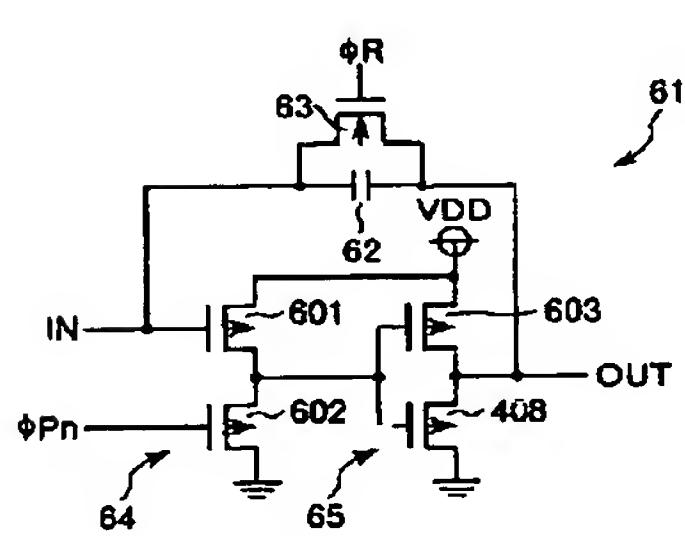
【図3】



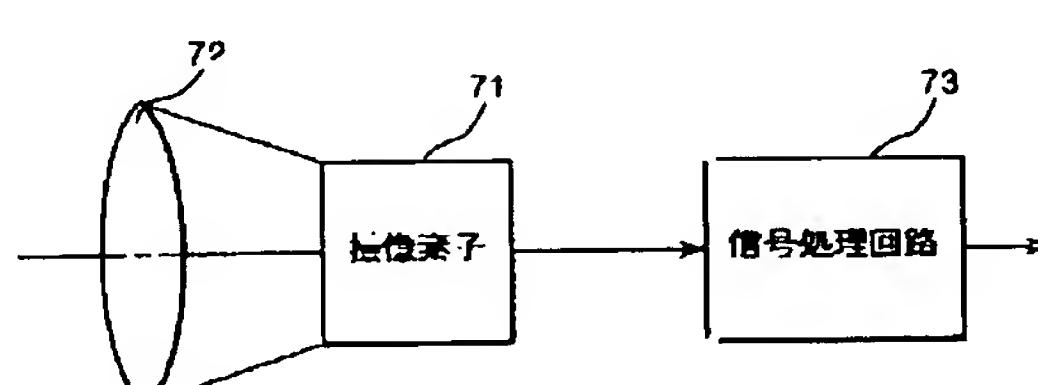
【図4】



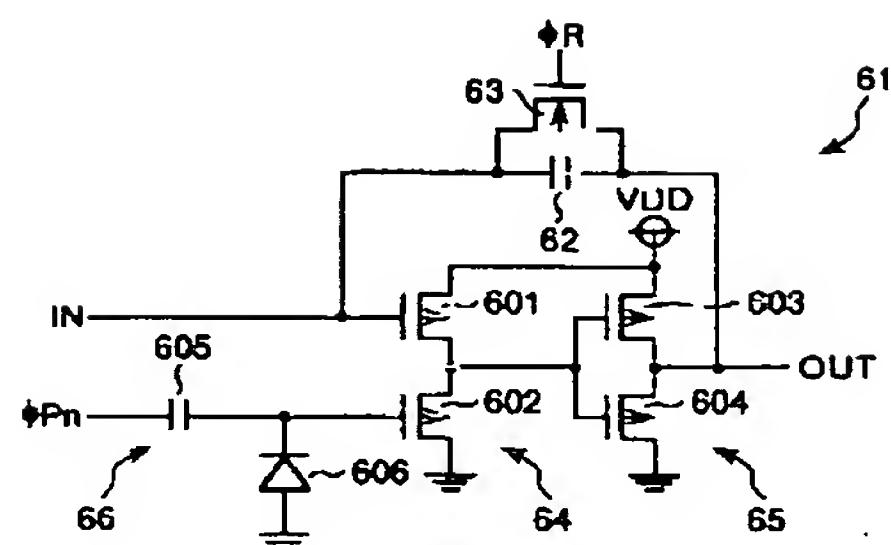
【図6】



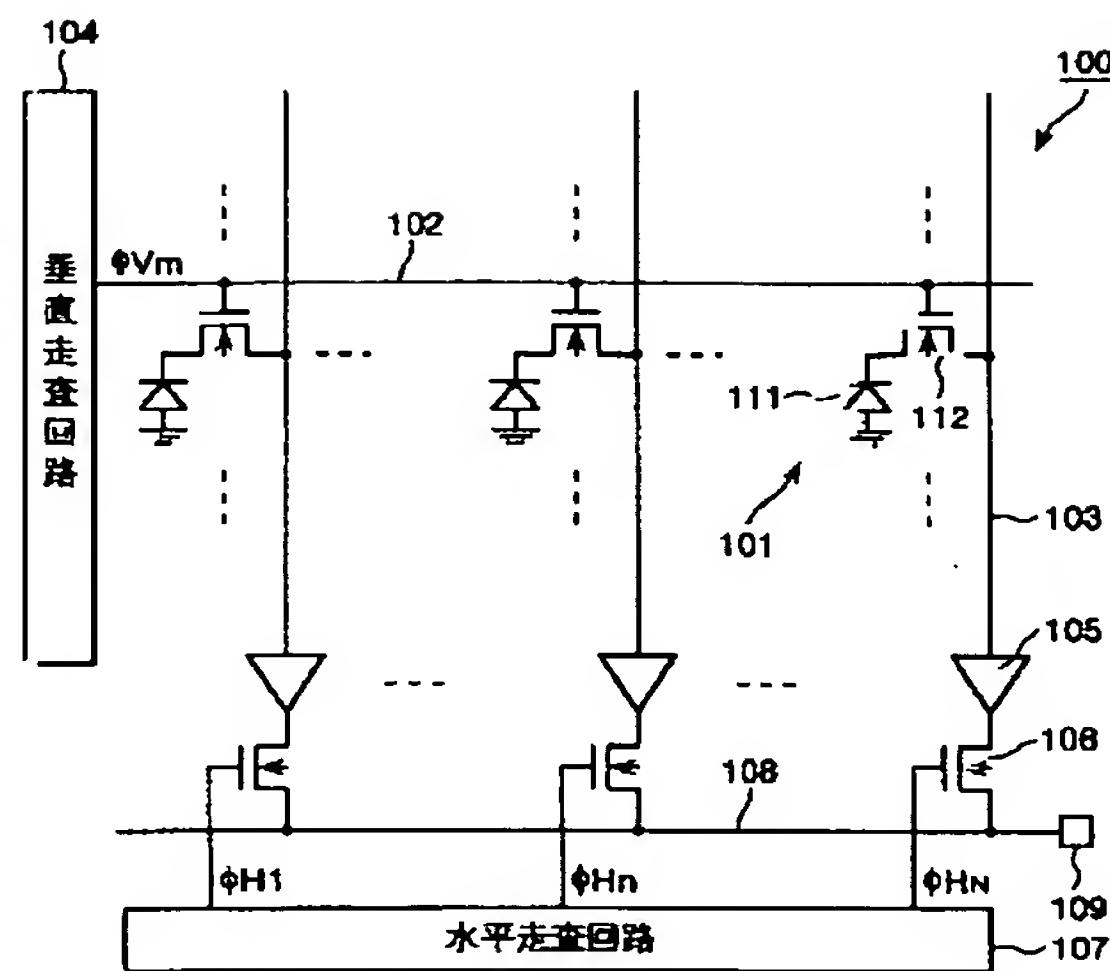
【図8】



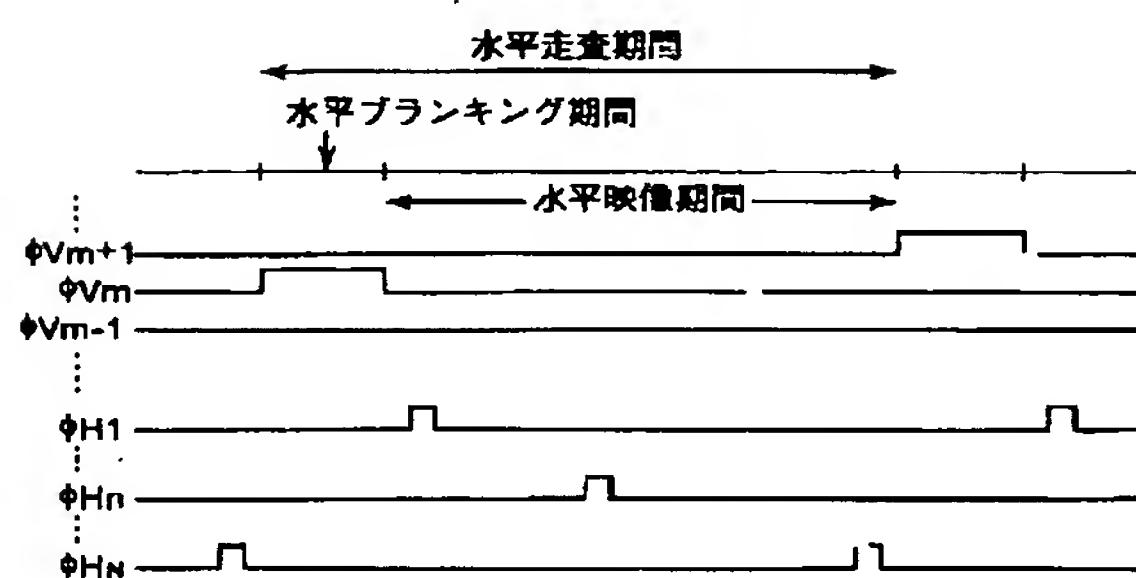
〔四七〕



【四九】



【图10】



THIS PAGE BLANK (USPTO)